

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-98864

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月31日

H 01 L 23/50

Y

9054-4M

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 樹脂封止型半導体装置

⑯ 特 願 平2-216146

⑰ 出 願 平2(1990)8月16日

⑱ 発 明 者 高 崎 由 佳 子

熊本県熊本市八幡町100番地 九州日本電気株式会社内

⑲ 出 願 人 九州日本電気株式会社

熊本県熊本市八幡町100番地

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

樹脂封止型半導体装置

特許請求の範囲

半導体チップを含んで封止した樹脂体と、前記半導体チップと電気的に接続して前記樹脂体の外部に導出した外部リードとを有する樹脂封止型半導体装置において、前記外部リードの端面より閉合う外部リードへ向けて突出した支持部と、閉合う前記支持部の間に介在させて閉合う支持部を互に連絡する絶縁体とを備えたことを特徴とする樹脂封止型半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は樹脂封止型半導体装置に関する。

(従来の技術)

従来の樹脂封止型半導体装置は、第5図及び第

6図に示すように、アイランド1の端面に配置して設けた内部リード2と、内部リード2に接続して樹脂封止領域3の外側に設けた外部リード4と、閉合う外部リード4の相互間を接続して支持するタイバー5とを有してリードフレームを構成し、アイランド1の上に半導体チップを搭載して樹脂体8で封止し、外部リード4をリードフレームから切離し、タイバー5を切離し、外部リード4を露出させて半導体装置を形成する。

(発明が解決しようとする課題)

上述した従来の樹脂封止型半導体装置は、外部リードが樹脂体より平行に矢叉離立して導出されているので、外部リードが曲がる等の変形を生じ実装時に半田付の信頼性が低下するという欠点がある。

(課題を解決するための手段)

本発明の樹脂封止型半導体装置は、半導体チップを含んで封止した樹脂体と、前記半導体チップと電気的に接続して前記樹脂体の外部に導出した外部リードとを有する樹脂封止型半導体装置にお

いて、前記外部リードの側面より隔合う外部リードへ向けて突出した支持部と、隔合う前記支持部の間に介在させて隔合う支持部を互に連絡する絶縁体とを備えている。

(実施例)

次に、本発明について図面を参照して説明する。

第1図及び第2図は本発明の第1の実施例を説明するためのリードフレームの平面図及び半導体装置の側面図である。

第1図に示すように、アイランド1の周囲に配置して設けた内部リード2と、内部リード2と接続して密着防止領域3の外側に設けた外部リード4と、密着防止領域3の近傍に設けて外部リード4の相互間を接続して支持するタイバー5と、密着防止領域3より離れた位置の外部リード4の側面より隔合う外部リードへ向けて突出し、且つ先端が互に入り組むように凸部と凹部に形成された支持部6と、隔接する支持部6の間に介在させて支持部6を互に連絡する絶縁体7とを有してリー

ドフレームが構成される。

次に、第2図に示すようにアイランド上に半導体チップ（図示せず）を搭載し、半導体チップと内部リード間を電気的に接続し、絶縁体8により密着防止領域内を封止し、リードフレームより外部リード4及びタイバーを切断し、外部リード4を整形して半導体装置を構成する。

第3図及び第4図は本発明の第2の実施例を説明するためのリードフレームの平面図及び半導体装置の側面図である。

第3図及び第4図に示すように、隔合う外部リード4の側面に設けた支持部6が密着防止領域3の近傍に設けられ、タイバー5が支持部6の外周に設けられている以外は第1の実施例と同様の構成を有しており、支持部6を連絡する絶縁体7を密着防止工程と同時に形成でき、製造工程を簡略できる効果を有する。

(発明の効果)

以上説明したように本発明は、外部リードの側面に設けた支持部の間に絶縁体を介在させて隔合

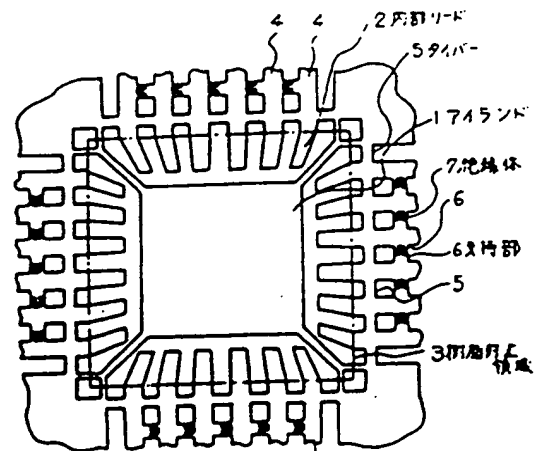
う外部リード相互間を連絡することにより、外部からの衝撃によるリード変形の防止、及び実装時の半田付の信頼性を向上させるという効果を有する。

図面の簡単な説明

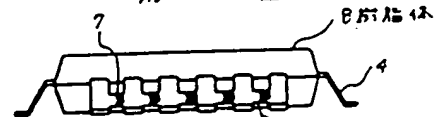
第1図及び第2図は本発明の第1の実施例を説明するためのリードフレームの平面図及び半導体装置の側面図、第3図及び第4図は本発明の第2の実施例を説明するためのリードフレームの平面図及び半導体装置の側面図、第5図及び第6図は従来のリードフレームの一例を示す平面図及び半導体装置の側面図である。

1…アイランド、2…内部リード、3…密着防止領域、4…外部リード、5…タイバー、6…支持部、7…絶縁体、8…絶縁体。

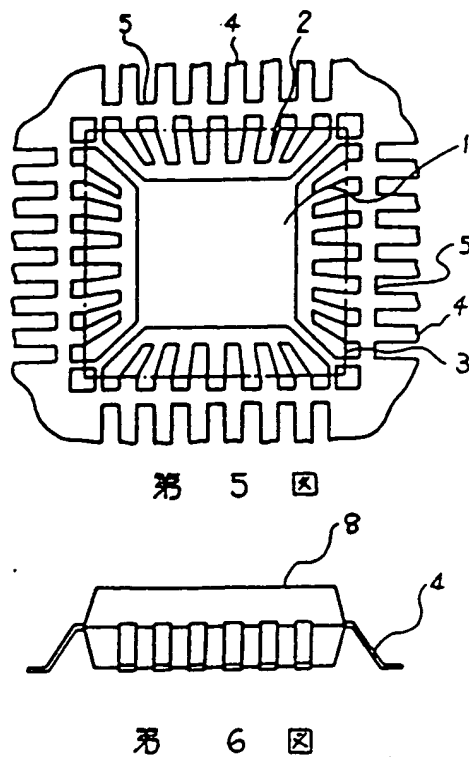
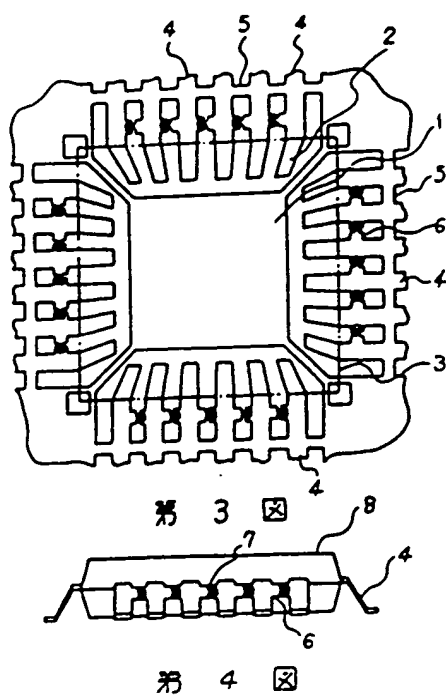
代理人 弁理士 内 原 晋



第1図



第2図



CLIPPEDIMAGE= JP401106456A
PAT-NO: JP401106456A
DOCUMENT-IDENTIFIER: JP 01106456 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: April 24, 1989

INVENTOR-INFORMATION:

NAME

KURODA, HIROSHI

TAKASE, YOSHIHISA

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP62263435

APPL-DATE: October 19, 1987

INT-CL (IPC): H01L023/50; H01L023/28

US-CL-CURRENT: 257/666, 257/787

ABSTRACT:

PURPOSE: To make an electrode terminal not to come off due to external force and thermal strain by providing the end surface of a lead frame substrate with a stair part having more than one step and performing molding with sealing resin in a shape of covering the stair part.

CONSTITUTION: An IC chip 16 is mounted on the other main surface 14 of a die pad 11, and a pad of the IC chip and the other main surface 14 of an electrode terminal 12 are bonded with a wire 17 so as to be continuously molded with sealing resin 18 on the almost level with one main surface 13 by a transfer method so that the electrode terminal and the main surface 13 of the die pad 11 may be exposed. At this time, a stair part 15 provided on a lead frame 20 is also covered with sealing resin 18. Thereby, a reinforcing bar 19 exposed to an end surface of sealing resin 18 is also of the same projection type so as to have very strong structure against coming-off even to external force.

① 日本国特許庁(JP) ② 特許出願
③ 公開特許公報(A) 平1-10

④ Int. Cl.⁴
H 01 L 23/50
23/28

⑤ 特許庁
⑥ 特許庁
⑦ 特許庁
⑧ 特許庁
⑨ 特許庁
⑩ 特許庁
⑪ 特許庁
⑫ 特許庁
⑬ 特許庁
⑭ 特許庁
⑮ 特許庁
⑯ 特許庁
⑰ 特許庁
⑱ 特許庁
⑲ 特許庁
⑳ 特許庁
㉑ 特許庁
㉒ 特許庁
㉓ 特許庁
㉔ 特許庁
㉕ 特許庁
㉖ 特許庁
㉗ 特許庁
㉘ 特許庁
㉙ 特許庁
㉚ 特許庁
㉛ 特許庁
㉜ 特許庁
㉝ 特許庁
㉞ 特許庁
㉟ 特許庁
㊱ 特許庁
㊲ 特許庁
㊳ 特許庁
㊴ 特許庁
㊵ 特許庁
㊶ 特許庁
㊷ 特許庁
㊸ 特許庁
㊹ 特許庁
㊺ 特許庁
㊻ 特許庁
㊼ 特許庁
㊽ 特許庁
㊾ 特許庁
㊿ 特許庁

④ 公開 平成1年(19

審査請求 未請求 発明の数 1

① 発明の名称 半導体集積回路装置

② 特 願 昭62-263435

③ 出 願 昭62(1987)10月19日

④ 発 明 者 黒 田 啓 大阪府門真市大字門真1006番地 松下電器産業
⑤ 発 明 者 高 瀬 善 久 大阪府門真市大字門真1006番地 松下電器産業
⑥ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑦ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

複数の電極端子を有するリードフレームの一主面の面積が、他の主面より狭く、このリードフレームの断面形状は少なくとも一段以上の段差を持つ段差部を有するものであり、半導体集積回路は他の主面にマウントされ、少なくとも電極端子の一主面を露出した形で一主面とほぼ平行に封止樹脂が成形されている半導体集積回路装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路をパッケージした半導体集積回路装置に関するものである。

従来の技術

ポータブルな情報ファイルとしてのICカードはカードの一面にメモリ、マイクロプロセッサを有する半導体集積回路装置を埋込んで、リードワイヤを介して情報を書き込み、読み出し、消去

する演算機能を持っているが、IC規格カード厚みは最大0.84ミリとされており半導体集積回路装置は更に厚くしかも厚み強く要求される。

当初半導体集積回路装置の基板はガラスを基板とする両面基板が主であったが、シリコン基板ではICカード用半導体集積回路に要求する厚み精度を十分に満足させてはなかった。

そこでガラスエポキシ基板の代りに厚みよく半導体集積回路装置の厚みの厚み精度をさせられるリードフレームを基板とするICカード用半導体集積回路装置が提案された。このICカード用半導体集積回路装置の構造を第4図に説明する。

複数の電極端子1とアイパッド2を有するリードフレーム8の上記アイパッド2にICチップ3がマウントされ、上記ICチップ3のパッド(図示せず)と上記電極端子1がワイヤ4で接続されており、少なくとも上記電極端子1の

を露出した形で、しかも上記一主面 δ とほぼ平坦に封止樹脂 ϵ がトランスファ成形法により成形された構造となっている。

ところが上記電極端子 1 の上記一主面 δ は外部に露出し、上記電極端子 1 の薄い側面を含む片面しか上記封止樹脂 ϵ を被膜していない。通常トランスファ成形法で成形する上記封止樹脂 ϵ 中には成形金型との離形性をよくするため、離形剤が入れていることから、当然上記電極端子 1 と上記封止樹脂 ϵ との密着性は悪いものではない。この問題を解決する方法として、上記封止樹脂 ϵ と接触する他の主面 γ を粗面化したり、上記電極端子 1 の一主面 δ の面積を他の主面 γ の面積より狭くして(エッジにテーパをつけ台形状とする)密着性の向上を図っている。

発明が解決しようとする問題点

このような半導体集積回路装置に用いるリードフレーム 8 の厚味は、半導体集積回路装置に配線の制限があることから 0.15 ミリ以下が通常用いられる。ところが封止樹脂 ϵ とリードフレーム 8

の他の主面 γ との密着性を強化するため、リードフレーム 8 の断面をテーパ加工し、わずかに封止樹脂 ϵ でリードフレーム 8 を覆う形としているが、リードフレーム 8 の厚味が 0.15 ミリと非常に薄いため、封止樹脂 ϵ でリードフレーム 8 の端面を一部覆う形とした場合でもせいぜい厚味分の 0.15 ミリ程度しか覆うことができず、端面にテーパをつけても封止樹脂 ϵ に対するリードフレーム 8 の密着強度を著しく向上させることはできなかった。また前にも述べたが封止樹脂 ϵ には離形剤が入っているため、リードフレーム 8 との密着性が悪く、例えば熱衝撃試験を行った時に発生する熱的ひずみによりリードフレーム 8 が割れる可能性も生じてくる。更にトランスファ成形後リードフレーム 8 の補強バーを封止樹脂 ϵ の端面に沿ってほぼ平坦に金型にて切断して個片の半導体集積回路装置にするわけであるが、補強バーの切断面は金型で切断する際、わずかなバリが発生することと、完全に封止樹脂 ϵ の端面と平坦にすることは不可能で、わずかに切断面が突き出る形と

なる。この状態でカード化しカードの携帯中あるいは使用中に何らかの異物が切断面にできたバリ、あるいは電極端子自体にひっかかり電極端子をはがしてしまふ可能性もある。このように電極端子がはがれたり、変形するとICカードとしての機能が全く失われることになる。

本発明は上記問題点を鑑み、外的な力、熱ひずみ等に対しても電極端子がはがれて使用不能にならないようなリードフレームの構造を提供するものである。

問題点を解決するための手段

そして上記問題点を解決する本発明の技術的手段は、リードフレームの一主面の面積を他の主面より狭くし断面形状を凸型として一主面とほぼ平坦に封止樹脂を成形し、リードフレームの端面を所定の距離、厚さでほぼ全辺にわたって封止樹脂で覆うように構成したものである。

作用

この構成により電極端子 1 はほぼ全辺が封止樹脂 ϵ で被覆されていることから、電極端子を割す外力

からの力が加わらず、また熱衝撃試験等による熱ひずみに対しても電極端子が割れることがないため信頼性の高い半導体集積回路装置を作ることが可能となる。

実施例

以下本発明の一実施例について図面を用いながら説明する。第2図 a 、 b は本発明に用いたリードフレームの構造を示す。第2図 a は上面図、第2図 b は $A-A'$ をみた断面図である。アイパッド 11 、複数本の電極端子 12 で構成されており、上記アイパッド 11 及び上記電極端子 12 の外部に露出する一主面 13 の面積は他の主面 14 より狭く、少なくとも封止樹脂で覆われる部分のリードフレーム 20 の断面は凸型の段差部 16 が設けられている。ちなみにリードフレーム 20 の肉厚が 0.15 ミリの場合上記段差部 16 の γ は 0.5 ミリ、 δ は 0.1 ミリとした。上記段差部 16 の断面形状は段差が 1 段のみならず複数段形成されていてもかまわない。以上はアイパッド 11 が複数本の電極端子 12 の少なくとも 1 本と接続されてい

る構造のリードフレームである。このリードフレーム20の作製方法は一実施例として、まずプレス機でストレートにパンチングした後続いて別の金型を用い同じくプレス機によりリードフレーム20の端面のみをプレスし所定の量だけ段差部15を作った。他の方法としてエッチングによる方法でも同様の段差部15を作ることは可能である。以上の説明はICチップを搭載するダイパッド11を有するリードフレーム20であるが、ダイパッド11の無い電極端子12のみのリードフレームでもかまわない。

以上述べた取付けリードフレーム20を用いた半導体集積回路装置の製造プロセスを第3図a～cに示す。これは第2図のa～dの断面を採るものである。ダイパッド11の他の主面14にICチップ16をマウントし、上記ICチップ16のパッド(図示せず)と上記電極端子12の他の主面14をワイヤ17で接続し(第3図b)、続いてトランスファ成形法にて上記電極端子12、及びダイパッド11の一主面13を露出させること

とく、上記一主面13とはほぼ平坦に封止樹脂18で成形する(第3図c)。この時リードフレーム20に設けられた段差部15も上記封止樹脂18で覆われる形となる。更に金型を用いて上記封止樹脂18の端面に沿って補強バー19を切断して個々の半導体集積回路装置とする(第3図c)。以上のべた半導体集積回路装置の電極端子部の拡大図を第1図に示す。この第1図によれば電極端子12の一主面と封止樹脂18はほぼ平坦に成形されており、封止樹脂18に埋没した電極端子12の一部は、露出している一主面より広がっている構造となっている。このことは、電極端子12の端面に形成されている段差部15を完全に封止樹脂18が覆っていることになり、封止樹脂18の端面に露出している補強バー19も同様の凸型であることから外的な力に対しても非常に割れに強い構造となっている。

以上述べてきた実施例の中でICチップ16のパッドと電極端子12の接続にワイヤ17を用いているが、ワイヤーボンディング法に限定するも

のではなく、パンプを利用したフリップチップボンディング方式でもかまわない。また同時にリードフレーム20の他の主面側をエッチング、サンドブラストノック法等で粗面化処理が施こされていても良い。更にダイパッド11が無くICチップ16が電極端子12にかかるようなリードフレーム20を用いる場合はICチップ16をマウントするダイボンディングは絶縁性であることはいうまでもない。

発明の効果

本発明の半導体集積回路装置はリードフレーム基板の端面に1枚以上の段差部を設け、段差部を覆う形で封止樹脂にて成形しているため、外的な力にも電極端子は割れにくく、熱衝撃試験等の熱ひずみに対しても、電極端子ははがれないことから、信頼性の高いものを得ることが可能となる。

4、図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施例における電極端子部の拡大斜視図、第2図a、bは本発明に用いたリードフレームの構造を示す

上面図と断面図、第3図a～cは本発明の半導体集積回路装置の製造フローを示す断面図、第4図は従来のリードフレームを用いた半導体集積回路装置の構造を示す断面図である。

12……電極端子、13……一主面、14……他の主面、15……段差部、16……ICチップ、17……ワイヤ、18……封止樹脂、19……補強バー、20……リードフレーム。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

图 2 图

图 1 图

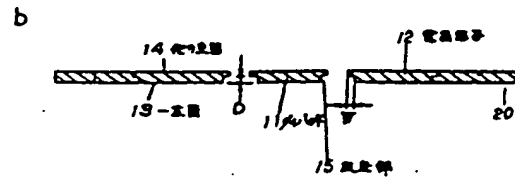
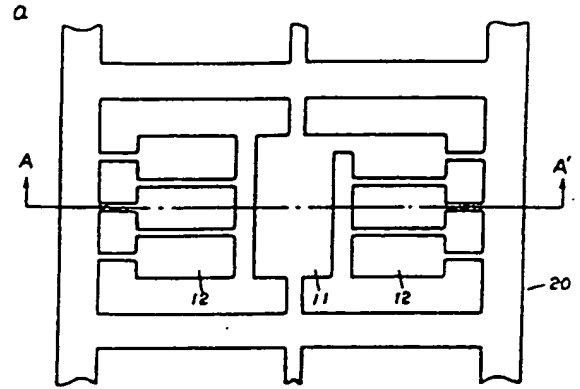
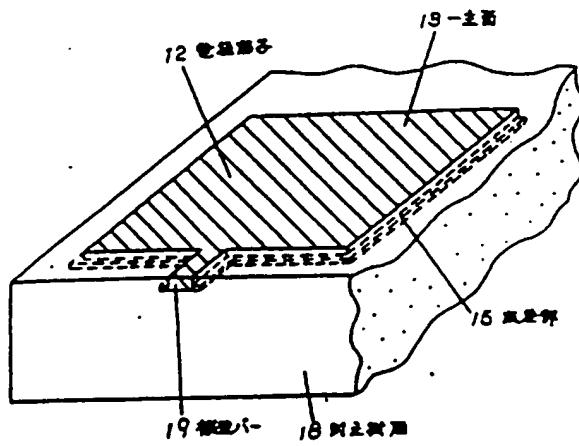


图 3 图

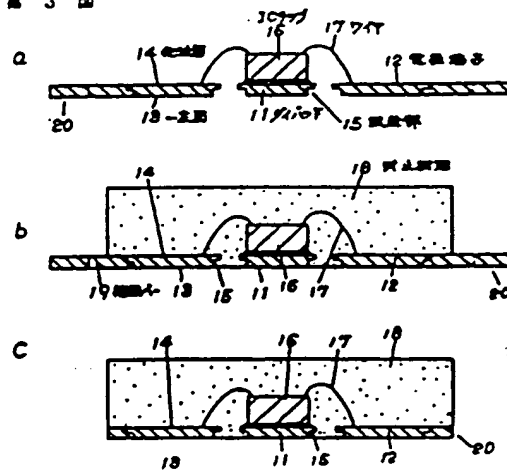
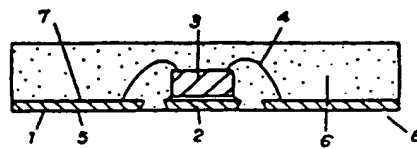


图 4 图



RESIN SEALED TYPE SEMICONDUCTOR DEVICE

Patent Number: JP4098864
Publication date: 1992-03-31
Inventor(s): TAKASAKI YUKAKO
Applicant(s): NEC KYUSHU LTD
Requested Patent: ☐ JP4098864
Application Number: JP19900216146 19900816
Priority Number(s):
IPC Classification: H01L23/50
EC Classification:
Equivalents:

Abstract

PURPOSE: To protect outer leads against deformation such as bend and to prevent soldering from deteriorating in reliability by a method wherein a support protruding from the side face of the outer lead toward an adjacent outer lead and insulators provided between the adjacent supports so as to connect them together are provided.

CONSTITUTION: A lead frame is provided with inner leads 2 provided around an island 1, outer leads 4 provided outside a resin sealed region 3 and connected to the inner leads 2, a tie bar 5 provided near the resin sealed region 3 to support the outer leads 4 interlinking them together, a support 6 whose ends are projected and recessed so as to enable them to be engaged with each other and which protrude from the side face of the outer lead 4 distant from a resin sealed region toward the adjacent outer lead 4, and an insulator 7 provided to be interposed between the adjacent supports 6 so as to interlink the supports 6 together. By this setup, leads can be protected against deformation caused by external shock and improved in reliability of soldering at mounting.

Data supplied from the esp@cenet database - I2